

MULTIPLE OUTPUT POWER SOURCE DEVICE

Patent Number: JP11065685
Publication date: 1999-03-09
Inventor(s): KOYASU TAKAHISA
Applicant(s): DENSO CORP
Requested Patent: ☐ JP11065685
Application Number: JP19970216685 19970811
Priority Number(s):
IPC Classification: G05F1/56; B60R16/02
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To stop the output of unnecessary power supply voltage, and to reduce power consumption accompanying the generation into zero, with respect to a multiple output power supply device for generating and outputting a DC constant voltage.

SOLUTION: This is a power source IC 10, in which operating amplifier circuits OP1-OP3 for generating a DC constant voltage and constant current circuits 22-26 for allowing constant currents to flow in each circuit for operating it are integrated in an IC package 30, and the DC constant voltage can be outputted from output terminals T01-T03. The ground side power supply paths of the constant current circuits 22 and 26 are interrupted from an inside ground line LGD and connected with cut terminals Tc1 and Tc3 formed outside the IC package 30. As a result, when the cut terminals Tc1 and Tc3 are grounded at the time of use, the voltage can be outputted from each output terminals T01-T03, and when the cut terminals Tc1 and Tc3 are opened, the voltage output from the corresponding output terminals can be stopped. Also, at the time of stopping the output, currents flowing through the corresponding constant current circuits and operating amplifier circuits is turned into zero, so that unnecessary power consumption can be made zero.

Data supplied from the esp@cenet database - l2

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開平11-05685

(43) 公開日 平成11年(1999) 3月9日

(5) Int. Cl.⁴
G 05 F 1/56
B 60 R 16/02

識別記号
310
670

P 1
G 05 F 1/56
B 60 R 16/02

310 X
670 A

審査請求 未請求 請求項の項 2 O L (全 10 項)

(21) 出願番号 特願平9-21685

(71) 出 願 人 株式会社デンソー

(22) 出願日 平成9年(1997) 8月11日

(72) 発明者 愛知県刈谷市昭和町1丁目1番地

(74) 代理人 子安 真久
愛知県刈谷市昭和町1丁目1番地 株式会社
デンソー内
弁護士 足立 勉

【特許請求の範囲】
【請求項1】 基準電圧を発生する基準電圧発生回路と、
該基準電圧発生回路からの基準電圧に基づき、外部装置給電用の予め設定された直流定電圧を生成する複数のオペアンプ回路と、
該複数のオペアンプ回路の各々に定電流を流して各オペアンプ回路を動作させる複数の定電流回路と、
を備え、前記各回路を集積化して1チップ内に組み込み、該1チップの外側に、前記オペアンプ回路からの出力を夫々外部装置に供給するための複数の出力端子、及び、該1チップ内の正負の電源ラインを介して前記各回路に電源電圧を供給するための一方の電源端子を形成してなる多出力電源装置であって、前記複数の定電流回路の内の少なくとも一つにおいて、前記1チップ内の一方の電源ラインに接続されるべき給電経路を該電源ラインから遮断し、前記1チップの外側に、該給電経路に接続された専用の給電端子を形成してなることを特徴とする多出力電源装置。

【請求項2】 前記給電端子に接続される前記定電流回路の給電経路は、前記1チップ内の正負の電源ラインの内、前記各回路共通のグラウンド電位とされるグラウンドラインに接続されるべき経路であることを特徴とする請求項1に記載の多出力電源装置。

【発明の詳細な説明】

【0001】
【発明の属する技術分野】 本発明は、外部装置に電流供給すべき直流定電圧を生成する複数のオペアンプ回路を1チップ内に組み込んだ多出力電源装置 (1 C) に関する。

【0002】

【従来の技術及び発明が解決しようとする課題】 従来より、例えば自動車に搭載される車両制御用の電子制御装置等では、制御の多機能化に伴い、信号処理、演算処理・通信処理等のためのマイクロコンピュータ (以下、CPUという) を多数使用するようになりつつある。

【0003】 これに伴い、電子制御装置にCPUと共に組み込まれてCPU駆動用の電源電圧 (直流定電圧) を生成する電源ICも、各CPUの動作電圧、消費電力等に合わせ、複数必要になるが、電源ICを各CPU毎に設けていては、電子制御装置の大型化を招き、また、コストアップにもなる。

【0004】 このため、こうした複数種類の電源電圧が必要な装置では、各電源電圧を生成して個々に出力可能な多出力型の電源ICを使用することが望ましい。そして、このような多出力型の電源ICを生成する際には、電源ICを使用する装置構成 (つまりCPUの数) によらず、1種類にした方がよい。つまり、電源ICを1種類にすれば、その量産化を図ることができ、製造コストを低減できる。

【0005】 しかし、必要な電源電圧の数や種類が異なる装置において、共通の電源ICを使用するために、電源ICを、全ての装置において必要な電源電圧を生成できるように構成すると、量産化によってコストアップの問題は防止できても、電子制御装置に電源ICを組み込み、実際に動作させた際に、電源ICは、装置の駆動に必要な電圧まで生成することになり、その消費電力が増大してしまうという問題が発生する。

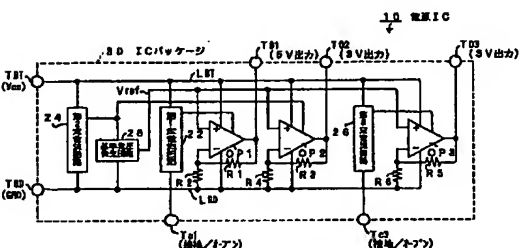
【0006】 本発明は、こうした問題に鑑み、なされたものであり、上記のように複数の電源電圧を生成して同時に出力可能な多出力電源装置において、実際に使用する際に必要のない電源電圧の出力を停止でき、しかもその不要な電源電圧の生成に伴う消費電力を零にできるようにすることを目的とする。

【0007】

【課題を解決するための手段】 かかる目的を達成するためになされた請求項1に記載の多出力電源装置においては、外部装置給電用の予め設定された直流定電圧を生成するために複数のオペアンプ回路が備えられ、各オペアンプ回路は、定電流回路により定電流が流される動作する。つまり、オペアンプ回路は、周知のように、入力段に差動増幅器を備え、その差動増幅器からの出力を増幅して出力するものであり、差動増幅器やその出力を増幅する増幅器等は定電流駆動によって動作することから、本発明の多出力電源装置においては、1チップ内に、複数のオペアンプ回路とオペアンプ回路を定電流駆動するための複数の定電流回路とが組み込まれているのである。そして、各オペアンプ回路は、基準電圧発生回路からの基準電圧に基づき、所定の直流定電圧を外部装置給電用の電源電圧として生成し、その生成した電源電圧を、1チップの外側に設けられた各出力端子から出力する。

【0008】 また、1チップの外側には、各オペアンプ回路にて生成された電源電圧を出力する複数の出力端子とは別に、一方の電源端子が形成され、1チップ内の各回路には、この電源端子に接続された正負の電源ラインを介して電源供給がなされるが、複数の定電流回路の内の少なくとも一つにおいて、1チップ内の一方の電源ラインに接続されるべき給電経路が、その電源ラインから遮断されており、その給電経路は、1チップ内に形成された給電端子を、電子装置側の電源ラインに接続するが否かによって、給電経路が給電端子に接続された定電流回路、及び、その定電流回路から定電流を受けて動作するオペアンプ回路の動作・非動作を切

(57) 【要約】
【課題】 直流定電圧を生成・出力する多出力電源装置において、不要な電源電圧の出力を停止し、且つ、その生成に伴う消費電力を零にできるようにする。
【解決手段】 直流定電圧を生成するオペアンプ回路OP1〜OP3と、各回路に定電流を流して動作させる定電流回路22〜26とを1チップ内に組み込み、出力端子T01〜T03から夫々直流定電圧を出力可能な電源IC10において、定電流回路22、26のグラウンド給電経路、内部のグラウンドラインL0から遮断し、1チップの外側に形成した出力端子T01、T03に接続する。この結果、使用時に出力端子T01、T03を接続すれば、各出力端子T01〜T03から電圧を出力させることができ、出力端子T01、T03をオペアンプにすれば、対応する出力端子からの電圧出力を停止させることができる。また、出力停止時には、対応する定電流回路及びオペアンプ回路に流れる電流を零にするので、不要な電力消費を零にできる。



り換えることができ、回路基板に組み込まれた電子部品に駆動に必要な電圧を供給し、その出力を停止させることができる。

【0010】また、本発明では、不要な電源電圧の出力を停止させるに当たって、オペアンプ回路に定電流を流す定電流回路への電源供給を遮断して、その動作を停止させることから、この定電流回路及びオペアンプ回路に流れる電流を零にし、これら回路の不要な動作による電力消費を確実に防止し、多出力電源装置を電源電圧の生成に必要な最小の消費電力で効率よく動作させることができる。

【0011】つまり、本発明のようなオペアンプ回路からなる多出力電源装置において、不要な電源電圧の出力を停止させるには、例えば、一般にオペアンプ回路の出力段には通常プッシュプル回路が使用されることから、そのプッシュプル回路を構成するトランジスタの制御入力端子（ベース、ゲート等）への電流経路を遮断する、というように、電源電圧を生成するオペアンプ回路の出力段からの出力を直接遮断するようにしてもよい。しかし、このような構成では、オペアンプ回路の差動増幅器や差動増幅器からの出力を増幅する増幅器等には定電流が流れてしまい、その動作を停止させることができず、不要な電力消費量が多くなる。これに対して、本発明によれば、オペアンプ回路に定電流を流す定電流回路への電源供給を遮断することで、定電流回路及びオペアンプ回路に流れる電流を零にすることができ、電源装置における無駄な電力消費を零にすることができるのである。

【0012】また、このように、本発明によれば、電源装置の無駄な電力消費をなくすることができるので、これから電源装置の不要な動作による発熱も防止できる。従って、本発明の多出力電源装置が組み込まれる装置側では、CPU等の電子部品からの発熱と、この電子部品への電源供給に必要な電源装置からの発熱だけを考慮して、放熱のための部品配置をすればよく、多出力電源装置の無駄な発熱を含めた放熱対策を行う必要がないため、無駄な放熱対策のために装置が大型化するという問題も防止できる。

【0013】ここで、給電端子を介して定電流回路（延いてはオペアンプ回路）の動作・非動作を切り換えるには、この給電端子に定電流回路の給電経路を接続すればよく、その給電経路としては、ICパッケージ内の正・負の電源ラインのうち、いずれの電源ラインに接続されるべき経路であってよいが、請求項2に記載のよう回路共通のグラウンド電位とされるグラウンドラインに接続されるべき経路にすれば、本発明の多出力電源装置が組み込まれる回路基板の設計が簡単になり、また、その回路基板を使用して、耐ノイズ性に優れた装置を実現できる。

【0014】つまり、本発明の多出力型電源装置は、上

記各回路がICパッケージに組み込まれており、使用時には、プリント配線基板等の回路基板に装着されることになるが、給電端子を、定電流回路においてグラウンドライン（一般に負の電源ライン）とは極性の異なる電源ライン（一般に正の電源ライン）に接続されるべき給電経路に接続すると、定電流回路を動作させるには、回路基板側で、その電源ラインを構成する配線パターンを、多出力型電源装置の給電端子位置まで形成しなければならず、回路基板の設計が面倒になる。また、このように回路基板側で、電源ラインを構成する配線パターンを引き回した場合は、その配線パターンには、高周波ノイズ等が重畳され、高周波ノイズがその配線パターンを伝わり、CPU等の他の電子部品に入力されることがあり、装置の信頼性が低下する。また、回路基板において、こうしたノイズを低減するには、配線パターンと、回路基板において大きな面積を占めるグラウンドパターンとの間にノイズ吸収用のコンデンサを設け、このコンデンサにてノイズ成分をグラウンドパターンに導くようにすればよいが、このようなノイズ対策を行うには、多出力型電源装置とは別に、コンデンサを装着しなければならない。コストアップになる。

【0015】しかし、請求項3に記載のように、給電端子を、定電流回路においてグラウンドライン側に接続されるべき給電経路に接続するようにすれば、回路基板に装着した際、その給電端子を、回路基板において大きな面積を占めるグラウンドパターンに接続すれば、定電流回路を動作させることができるようになるため、回路基板の設計が簡単になり、耐ノイズ性の優れた装置を実現できることになる。

【0016】
【発明の実施の形態】 以下に本発明の実施例を図面と共に説明する。図1は実施例の自動車用電子制御装置（以下、単にECUという）の構成を示すブロック図である。

【0017】ECU2は、エンジンやトランスミッション等の車載装置を制御するためのものであり、各種センサからの信号入力、制御対象の制御量演算、他のECUとの間のデータ通信等、制御に必要な各種処理を担うて実行する装置（本発明では3つ）のマイクロコンピュータ（CPU）4、6、8と、これら各CPU4、6、8を動作させるのに必要な電源電圧（直流定電圧）を生成して、各電圧を出力端子T01、T02、T03から各CPU4、6、8に出力する多出力電源装置（直流定電圧）を生成して、各電圧を出力端子T01、T02、T03から各CPU4、6、8及び電源IC10に供給されている。そして、これらCPU4、6、8及び電源IC10は、図示しない回路基板に装着され、その回路基板に形成されたプリント配線パターンにて互いに接続されている。

【0018】尚、図では、車両に搭載されたバッテリー12から電源IC10を介して各CPU4、6、8に至る電源ラインのみが記載されており、CPU4、6、8間

のデータラインや、他のECUとの間の信号入出力ラインは省略されている。また、バッテリー12の負電極は車体に接地され、回路基板は、そのグラウンドパターンに車体に接地することにより、バッテリー12の負電極に接続されることから、バッテリー12から各CPU4、6、8に至る電源ラインについても、正の電源ラインのみを接続し、負の電源ラインについては、各回路をグラウンドパターンに接続するものとして記載されている。

【0019】そして、本実施例では、CPU4が直流5Vにて動作する16bit マイクロコンピュータから構成され、CPU6、8が直流3Vにて動作する32bit マイクロコンピュータにて構成されており、電源IC10の出力端子T01、T02、T03からは、これら各CPU4、6、8に対応した5V、3V、3Vの電源電圧（直流定電圧）が出力される。

【0020】次に、電源IC10は、図2に示すように、上記各CPU4、6、8に電源供給を行うための電源電圧を生成するオペアンプ回路OP1、OP2、OP3と、これら各オペアンプ回路OP1、OP2、OP3に動作の定電流を流すための第1定電流回路22、第2定電流回路24及び第3定電流回路26と、各オペアンプ回路OP1～OP3に基準電圧Vrefを供給する基準電圧発生回路28から構成され、これら各回路をIC基板に集積し、更にそのIC基板を、樹脂或いはセラミックス等の絶縁材料からなるICパッケージ30内に収めることにより、1チップの多出力電源装置として形成されている。

【0021】また、ICパッケージ30内には、上記各回路にバッテリー12を接続して電源電圧Vccを供給するための電源ラインLT及びグラウンドラインLGPが形成され、ICパッケージ30の外側には、電源ラインLTをバッテリー12の正極接点に接続するための正の電源端子（バッテリー端子）TBT、及びグラウンドラインLGPを接地（グラウンド端子）TGPが形成されている。

【0022】そして、オペアンプ回路OP1、OP2、OP3及び第2定電流回路24は、バッテリー端子TBT及びグラウンド端子TGP間に電源電圧Vccが供給されているときに動作可能となるよう、電源ラインLT及びグラウンドラインLGPに接続されているが、第1定電流回路22及び第3定電流回路26は、電源ラインLTのみに接続され、グラウンドラインLGPに接続されるべき給電経路は、ICパッケージ30の外側に形成された専用の給電端子（以下、カット端子という）Tel、Tc3に接続されている。

【0023】つまり、ICパッケージ30内には、生成した電源電圧（直流定電圧）を出力する出力端子T01～T03と、外部から電源電圧Vccの供給を受けるためのバッテリー端子TBT及びグラウンド端子TGPと、第1及び第3定電流回路22、26を接続するためのカット端子Tel、

Tc3とが形成され、このカット端子Tel、Tc3をECU2の回路基板のグラウンドパターンに接地することによって、各定電流回路22、26の動作・非動作を設定できるようにされている。

【0024】そして、本実施例では、ECU2に3つのCPU4、6、8が設けられ、オペアンプ回路OP1～OP3によりこれら各CPU4、6、8に供給する電源電圧を生成する必要があるため、電源IC10の各カット端子Tel、Tc3は、ECU2の回路基板のグラウンドパターンに接地され、バッテリー端子TBTにバッテリー12が接続されたときには、第2定電流回路24だけでなく、第1定電流回路22及び第3定電流回路26にも定電流が流れ、3つのオペアンプ回路OP1～OP3が全て動作して、各CPU4、6、8に対して、必要な電源電圧（直流定電圧）を供給できるようにされている。

【0025】尚、基準電圧発生回路28は、第2定電流回路24により定電流が流され、その定電流から基準電圧を生成するように構成されており、第2定電流回路24の動作時には常に基準電圧を発生できると、グラウンドラインLGPに接続されている。そして、基準電圧発生回路28からの出力（基準電圧Vref）は、各オペアンプ回路OP1～OP3の非反転入力端子（+）に入力され、各オペアンプ回路OP1～OP3は、その基準電圧Vrefから、出力端子と反転入力端子（-）との間に接続された帰還用の抵抗R1、R3、R5、及び、反転入力端子（-）とグラウンドラインLGPとの間に接続された帰還用の抵抗R2、R4、R6にて下配のように決定される電源電圧（直流定電圧）を生成する。

【0026】
オペアンプ回路OP1出力 $5V = V_{ref} \cdot (R1 + R2) / R2$
オペアンプ回路OP2出力 $3V = V_{ref} \cdot (R3 + R4) / R4$
オペアンプ回路OP3出力 $3V = V_{ref} \cdot (R5 + R6) / R6$

次に、図3は、オペアンプ回路OP1とこれに定電流を流す第1定電流回路22の構成を示す電気回路図である。

【0027】図3に示す如く、オペアンプ回路OP1は、入力段に差動増幅器32を、次に差動増幅器32からの出力を増幅する共通エミッタ増幅器34を、出力段にプッシュプル出力回路36を、夫々備えた周知のものである。即ち、オペアンプ回路OP1において、差動増幅器32は、エミッタが抵抗R30を介して電源ラインLTに接続され、ベースが第1定電流回路22内で電源LGPに接続され、ベースが第1定電流回路22に接続され、ベースが第1定電流回路22に接続され、コレクタから第1定電流回路22と同じ定電流を流すPNPトランジスタT130と、ベースが反転入力端子（-）及び非反転入力端子（+）に夫々接続され、エミッタがPNPトランジスタT130のコレクタに夫々

接続された一方のPNPトランジスタT31、T32と、コレクタがPNPトランジスタT31、T32のコレクタに夫々接続され、エミッタがグラウンドに接地され、ベースが互いに接続され、共に抵抗R31を介してグラウンドに接地された一方のPNPトランジスタT33、T34と、ベースがPNPトランジスタT33のコレクタに接続され、エミッタがPNPトランジスタT33、T34のベースに接続され、コレクタが電源ラインL1に接続されたPNPトランジスタT35とから構成されている。

【0028】また、共通エミッタ増幅器34は、コレクタが電源ラインL1及びPNPトランジスタT35のコレクタに接続され、ベースがPNPトランジスタT34のコレクタに接続され、エミッタが抵抗R32を介してグラウンドに接地されたPNPトランジスタT36と、エミッタが電源ラインL1に接続され、ベースが第1定電流回路22内のPNPトランジスタT21のベースに接続され、コレクタから第1定電流回路22と同じ定電流を出力するPNPトランジスタT37と、コレクタ及びベースがPNPトランジスタT37のコレクタに接続されたPNPトランジスタT38と、ベースがPNPトランジスタT38のエミッタに接続され、コレクタがPNPトランジスタT38のベースに接続され、エミッタが位相補用のコンデンサC30とダイオードD30との並列回路を介して、PNPトランジスタT36のベース（後述するPNPトランジスタT34のコレクタ）に接続されたPNPトランジスタT39と、コレクタが抵抗R33を介してPNPトランジスタT39のベースに接続されると共に、PNPトランジスタT39のエミッタに直接接続され、エミッタがグラウンドに接地され、ベースがPNPトランジスタT36のエミッタに接続されたPNPトランジスタT40とから構成されている。

【0029】また、グランド出力回路36は、コレクタが電源ラインL1に接続され、ベースがPNPトランジスタT38のコレクタに接続されたPNPトランジスタT41と、コレクタがグラウンドに接地され、ベースがPNPトランジスタT40のコレクタに接続されたPNPトランジスタT42と、これら各トランジスタT41、T42のエミッタ間に設けられた2つの抵抗R34、R35の両端回路と、これら2つの抵抗R34、R35の接続点と出力端子T01とを接続する抵抗R36とから構成されている。

【0030】このように構成されたオペアンプ回路OP1では、第1定電流回路22側のPNPトランジスタT21に定電流が流れると、差動増幅器32及び共通エミッタ増幅器34内でこのPNPトランジスタT21とカレントミラー回路を構成しているPNPトランジスタT30及びT37に定電流が流れて、差動増幅器32及び共通エミッタ増幅器34が動作し、グランド出力回路36から非反転入力端子（-）と反転入力端子（+）の電位差に対応した電圧が出力されることになる。

【0031】しかし、第1定電流回路22内のPNPトランジスタT21に電流が流れたければ、差動増幅器32及び共通エミッタ増幅器34にも電流が流れる。この結果、グランド出力回路36の出力トランジスタT41、T42に流れる電流も遮断されて、グランド出力回路36からの電圧出力が停止される。

【0032】従って、第1定電流回路22への電源供給を遮断して、第1定電流回路22に流れる定電流を遮断すれば、オペアンプ回路OP1に流れる電流を零にして、オペアンプ回路OP1からの電圧出力を停止できる。一方、第1定電流回路22において、ベースがオペアンプ回路OP1内のPNPトランジスタT30、T37のベースに接続されるPNPトランジスタT21は、2つのコレクタを有し、一方のコレクタには、抵抗R22を介して電源ラインL1が接続されると共に、エミッタがカレント端子Tc1に接続されたPNPトランジスタT22のコレクタに接続され、更に、エミッタが抵抗R21を介してカレント端子Tc1に接続されたPNPトランジスタT23のベースが接続されている。また、PNPトランジスタT21のもう一方のコレクタは、コレクタがカレント端子Tc1に接続されたPNPトランジスタT24のベースが接続されると共に、PNPトランジスタT23のコレクタが接続されている。そして、PNPトランジスタT21のエミッタは、電源ラインL1に直接接続され、PNPトランジスタT22のベースは、PNPトランジスタT23のエミッタに接続され、更に、PNPトランジスタT24のエミッタは、抵抗R23を介して、PNPトランジスタT21のベースに接続されている。

【0033】このように構成された第1定電流回路22においては、カレント端子Tc1がパツタリ12の正極側に接続され、カレント端子Tc1がECU2のグラウンドに接地されて、これら端子間に電源電圧Vccが印加されると、まず、起動用の抵抗R22の両端電圧が、電源電圧VccからPNPトランジスタT23、T22のベース・エミッタ間電圧V1分だけ減じた電圧（Vcc-V1）となり、各PNPトランジスタT23、T22に流れる電流は、 $I = (V_{cc} - 2 \cdot V_1) / R_{22}$ のベース電流が流れて、各PNPトランジスタT23、T22がオンする。

【0034】そしてこのようにPNPトランジスタT23、T22がオンすると、PNPトランジスタT21にもベース電流が流れて、PNPトランジスタT21にもベース電流が流れて、これら各PNPトランジスタT24、T21もオン状態となり、各PNPトランジスタT23、T22に流れる電流は、 $i_{23} = (V_{cc} - 2 \cdot V_1) / R_{22} + i_{22}$ 、 $i_{22} = V_1 / R_{21}$ となり、この状態で安定する。

【0035】この結果、PNPトランジスタT21に流

れるエミッタ電流は、上記電流 i_{22} の2倍の電流値 $2 \cdot V_1 / R_{21}$ で安定し、オペアンプ回路OP1内のPNPトランジスタT30及びT37にも、これと同じ定電流又はこれに対応した定電流が流れることになる。つまり、各PNPトランジスタT30、T37には、抵抗R30の値やPNPトランジスタT21とPNPトランジスタT30、T37とのエミッタ比によって、PNPトランジスタT21のエミッタ電流とは異なることはあるものの、そのエミッタ電流に対応した一定の電流が流れる。

【0036】しかし、カレント端子Tc1がECU2のグラウンドに接地されず、オペアンプ回路に接続されると、パツタリ端子Tc1がパツタリ12の正極側に接続されても、第1定電流回路22内では電流遮断が形成されず、PNPトランジスタT21に定電流が流れることはない、そして、このようにPNPトランジスタT21に定電流が流れたければ、オペアンプ回路OP1に流れる電流も零となり、オペアンプ回路OP1からの電圧出力は停止される。

【0037】そして、オペアンプ回路OP3及び第3定電流回路26も、上記オペアンプ回路OP1及び第1定電流回路22と同様に構成されており、第3定電流回路26に接続されたカレント端子Tc3がECU2のグラウンドに接続されている。

カレント端子 Tc1	カレント端子 Tc3	CPU4 (5V)	CPU6 (3V)	CPU8 (3V)
接地	接地	○	○	○
接地	オペアンプ	○	○	×
オペアンプ	接地	×	○	○
オペアンプ	オペアンプ	×	○	×

【0041】従って、本実施例の電源IC10によれば、表1に記載のように、上記3つのCPU4、6、8を全て備えた本実施例のECU2からCPU4、8のいずれか一つ又はその両方を除去した低機能のECUで使用する場合でも、出力端子T01、T03からの電圧出力を停止させることによって、安全に使用することができる。

【0042】また、本実施例では、出力端子T01、T03からの電圧出力を停止させる際には、カレント端子Tc1、Tc3をオペアンプ状態にして、第1及び第3定電流回路22、26の電流遮断を遮断するよう構成されているため、出力端子T01、T03からの電圧出力を停止させた際には、その出力端子に対応したオペアンプ回路OP1、OP3及び定電流回路22、26に流れる電流を夫々零にすることができる。

【0043】よって、本実施例によれば、出力端子T01、T03からの電圧出力を停止させた際に、その電源電圧を生成するための回路に不要な電流が流れて、電源1

パツタリに接地されれば、第3定電流回路26及びオペアンプ回路OP3に電流が流れて、オペアンプ回路OP3から電源電圧が出力され、カレント端子Tc1がオペアンプ状態にあれば、第3定電流回路26及びオペアンプ回路OP3に電流が流れて、オペアンプ回路OP3からの電圧出力が停止される。

【0038】尚、オペアンプ回路OP2及び第2定電流回路26も、上記オペアンプ回路OP1及び第1定電流回路22と同様に構成されており、第2定電流回路26がカレント端子に接続される代わりに、グラウンドに接続される点のみが異なる。

【0039】以上説明したように、本実施例の電源IC10は、3つのCPU4、6、8に対して個々に電源供給を行うために3つのオペアンプ回路OP1～OP3と定電流回路22～26とを内蔵しているものの、IC10のパツタリ30の外側に形成されたカレント端子Tc1、Tc3を接続するかオペアンプ状態にするかによって、表1に記載のように、オペアンプ回路OP1、OP3に生成した電源電圧5V、3Vを出力するか否かを切り換えることができる。

【0040】
[表1]

カレント端子 Tc1	カレント端子 Tc3	CPU4 (5V)	CPU6 (3V)	CPU8 (3V)
接地	接地	○	○	○
接地	オペアンプ	○	○	×
オペアンプ	接地	×	○	○
オペアンプ	オペアンプ	×	○	×

IC10の消費電力が不必要に増加するようなことはなく、電源IC10を、電源電圧の生成に必要な最小の消費電力で効率よく動作させることができる。そして、このように電源IC10を効率よく動作させることができるので、電源IC10の発熱量も不必要に増大することはない。CPUの数を減らして機能を制限したECUにおいて、その動作に必要な発熱対策を行う必要がある。

【0044】また、特に、本実施例では、出力端子T01、T03からの電圧出力を停止させるカレント端子Tc1、Tc3を、対応する定電流回路22、26の低電位側（グラウンド）に接続し、カレント端子Tc1、Tc3をECU2の回路基板のグラウンドに接続するか否かによって、出力端子T01、T03からの電圧出力を切り換えるように構成されているため、電源IC10が組み込まれる回路基板側では、各出力端子T01、T03に対応した位置にグラウンドパツタリを形成しておけばよく、正の電源電圧を供給するために正の電源パツタリを引き回す必要が

ないため、回路基板の設計を簡単にすることができる。
また、電源パターンへの引き回しによるノイズ対策のため
に、回路基板にノイズ吸収用のコンデンサを設ける必要
もないため、ECUの製造コストも低減できる。

【0045】以上、本発明の一実施例について説明したが、本発明は上記実施例に限定されるものではなく、種々の変形が可能であることが予想される。例えば、上記実施例で、3つの出力端子T01~T03を有し、そのうちの2つの出力端子T01、T03から電源電圧を出力させるか否かを切換可能な電源ICについては、定電圧回路及びオペアンプ回路の個数や、電圧出力を停止可能な出力端子の個数(装置すれば、カッター端子の個数)は、電源ICを共用する装置の種類に応じて適宜設定すればよく、例えば、電源ICに設けた全ての出力端子からの出力を停止できるように、出力端子数とカッター端子の数を一致させるようによい。

【0046】また、上記実施例では、カソード端子Tc1、Tc3を、定電流回路22、26の低電位側に接続するよ
う構成したが、定電流回路22、26の低電位側はIC
内部のランダムラインL60に接続し、定電
流回路22、26の高電位側を、ICパケット端子T
e1、Tc3に接続するようにしてもよい。そして、このように構
成された場合には、カソード端子Tc1、Tc3をオープンにす
る。電源IC10が組み込まれた回路基板側の正の電
圧パターンの端子T01に接続するが、によって出力端子T01、T03
から電圧出力を発生させるか否かを切り換えることができ、各出力端子T01、T03からの電圧出力停止時に
は、上記実施例と同様、定電流回路22、26及びオペ
レーション回路OP1、OP3に流れる電流を零にすること
ができる。但し、この場合、出力端子T01、T03からの電
圧を出力させるためには、カソード端子Tc1、Tc3を、バ
ッテリ端子TUTと同様に、回路基板側の正の電源パター
ン端子T01に接続する必要があることから、回路基板側では、コ
ンデンサ等を用いて、その電源パターンの引き出しによ
るノイズ対策を行う必要がある。

【0047】また上記のように定電流回路22、26の接続した電圧位相(又は低電圧位相)に、カット端子Te1、Tc3を接続した電源IC10の場合、カット端子Te1、Tc3をオペアンプ状態にすれば、出力端子T01、T03から電圧出力を停止させることができるが、出力端子T01、T03から電圧出力を停止させる際には、例えば、カット端子T01からの電圧出力を停止させる際には、例えば、カット端子T01、Tc3を、バイポーラ端子TBT(又はグラント端子Tc1)に短絡させてもよい、つまり、このようにしても、定電流回路22、26、図1の、例えば、オペアンプ回路OP1、OP3に流れる電流を零にして、出力端子T01、T03から電圧出力を停止させる。但し、上記実施例のように、定電流回路22、26の低電圧位相にカット端子Te1、Tc3を接続した電源IC10において、カット端子

T_{el} , T_{e3} をバット端子 T_{BT} に短絡させることにより、出力端子 T_{OI} , T_{O3} からの電圧出力を停止させる場合には、カット端子 T_{ei} , T_{e3} とバット端子 T_{BT} とを、短絡用の番号揃いの回路基板側の配線パターン（線番）で正の電圧 V_{BT} にて短絡させる必要があり、この短絡回路には高周波ノイズが重畳されやすいことをと、この短絡回路は、ノイズ対策用のコンデンサ等を用いて、回路基板のグラウンドパターンに接続する必要がある。

【0048】また次に、電源1Cに組み込むオペアンプ回路は、従来より安定化電源として使用されているオペアンプ回路であればいかなる回路であっても使用でき、また、定電流回路についても、そのオペアンプ回路を定電流駆動できる定電流回路であれば、いかなる回路であっても使用できる。

【0049】例えば、図4(a)～(c)は、定電流回路の他の構成例を提示しているが、これら各図に示すように、定電流回路の電流経路をカッターCに接続し、定電流回路をICパッケージの外周に接続するか否かによって定電流回路の動作・非動作を切り換えることができるようにすれば、上記実施例と同様の効果を得ることができ、

【0050】ここで、図4(a)に示す定電流回路は、定電流出力用のPNPトランジスタT₅₁に一つのコレクタを有するトランジスタを使用したものであり、そのエミッタは、電源ラインLTに接続され、コレクタは、エミッタ抵抗R₅₁を介してカット端子T_cに接続され、また、PNPトランジスタT₅₂のコレクタに接続されるとしたNPNTランジスタT₅₃のコレクタに接続され、更に、コレクタがカット端子T_cに直接接続された。また、PNPトランジスタT₅₄のベースには、抵抗R₅₅を介してPNPトランジスタT₅₁のベースに接続されている。また、PNPトランジスタT₅₄のエミッタが接続されている。また、PNPトランジスタT₅₂のベースには、抵抗R₅₂を介して電源ラインLTに接続されると共に、コレクタがカット端子T_cに接続されたPNPトランジスタT₅₃のエミッタに接続され、更に、このPNPトランジスタT₅₃のベースは、抵抗R₅₃を介して電源ラインLTに接続されると共に、抵抗R₅₄を介してカット端子T_cに接続されている。

【0051】このように構成された図4(a)の定電圧回路においては、バッテリ端子TBTとカット端子TCとを同路に接続する。ここで印加されれば、PNPトランジスタT_{F51}の電流増幅率が配置された抵抗R_{S1}の両端電圧が、抵抗分V_{R53}と抵抗分V_{R54}により電源電圧V_{CC}を分圧した電圧V_Bとなり、PNPトランジスタT_{F51}には流れる定電流I_Hは、V_B/R_{S1}で安定し、上記乗算例と同様、PNPトランジスタT_{F51}に流れる定電流I_Lによって、オペアンプの入回に定電流を流すことができる。また、カット端子TCをオープン状態にすれば、PNPトランジスタT_{F51}には流れる電流I_L、延いてはオペアンプ回路に流れる電流I_{OP}もゼロとなる。

れる電流を速断することができる。

【0052】また、図4 (b) に示す定電流回路は、上図4 (a) の定電流回路と同様、定電流出力用のPNPトランジスタT₆₁に一つのコレクタ電流を有するトランジスタを使用したものであり、そのエミッタは、電源ラインL3に接続され、ベースには、抵抗R61を介してPNPトランジスタT₆₂のエミッタが接続され、コレクタには、NPNトランジスタT₆₃のベースが接続され、また、抵抗R65を介してカットオフ周波数が接続されている。トランジスタT₆₂のエミッタは、カットオフ周波数に接続されている。

【0053】このように構成された図4(b)の定電圧回路においては、パツタリ端子TBTとカツト端子Tcとの間に電源電圧Vccが印加された場合、抵抗Rt61における電圧降下を無視すれば、PNPトランジスタT61に流れる電流Iは、 $I = (V_{cc} - 2 \cdot V_{fj}) / R62$ で安定することになり、上記実施例と同様、PNPトランジスタT61に流れる定電流を流すことができる。また、カツト端子Tcをオープン状態にすれば、PNPトランジスタT61に流れる電流I、延いてはオペアンプ回路に流れる電流を遮断することができ、

【0054】また次に、図4(c)に示す定電流回路は、上記各定電流回路と同様、定電流出力用のPNPトランジスタT71に一つのコレクタを有するトランジスタを使用したのであり、そのエミッタは、電源ラインL1に接続され、コレクタは、エミッタが抵抗R71を介してカット端子Tcに接続されたNPNトランジスタT72のコレクタに接続されると共に、コレクタがカット端子Tcに直接接続されたPNPトランジスタT75のベースに接続されている。また、PNPトランジスタT71のベースには、抵抗R74を介してPNPトランジスタT72のエミッタが接続されている。また、NPNトランジスタT72のベースは、エミッタがカット端子に接続されたNPNトランジスタT73のベース及びコレクタに接続され、NPNトランジスタT73のベース及びコレクタは、エミッタが抵抗R72を介して電源ラインL1に接続されたNPNトランジスタT74のコレクタに接続されると共に、このPNPトランジスタT74のベースは、ダイオードD71、D72の直列回路を介して電源ラインL1に接続されると共に、抵抗R73を

介してカット端子Tcに接続されている。尚、ダイオードD71、D72は、夫々、電源ラインL18側をアノード、PNPトランジスタT74のベース側をカソードとして、互いに直列接続されている。

【0055】このように構成された図4(a)の定電流回路においては、パツテリ端子T1Tとカッタ端子Tcととの間に電源電圧 V_{cc} が印加され、ダイオードD1、D2の両端電圧が $2 \cdot V_f$ (V_f はダイオードの順方向電圧であり、抵抗R72の両端電圧は V_f と同一である)となり、抵抗R72の両端電圧は V_f となる。従つて、PNPトランジスタT74、NPNTランジスタT73に流れる電流は $I_V(I_V/R72)$ となる。そして、NPNTトランジスタT73とPNPトランジスタT72とはそれぞれミラール回路を構成しているため、NPNTトランジスタT72、延いては、PNPトランジスタT71にも、これと同電流 I_V が流れ、この電流 I_V により、オープン回路に定電流を流すことができる。また、カッタ端子Tcにオープン状態にすれば、PNPトランジスタT71に流れる電流 I_V 、延いてはオープン回路に流れる電流を遮断することができる。

【図面の簡単な説明】

【図1】 実施例の自動車用電子制御装置(ECU)の構成を表すブロック図である。

【図2】 実施例の電源ICの構成を表す概略構成図である。

【図3】 実施例の第1定電流回路及びオペアンプ回路の構成を表す電気回路図である。

【図4】定電流回路の他の構成例を表す電気回路図である。

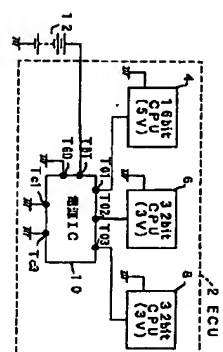
【符号の説明】

2...ECU (自動車用電子制御装置) 4, 6, 8...

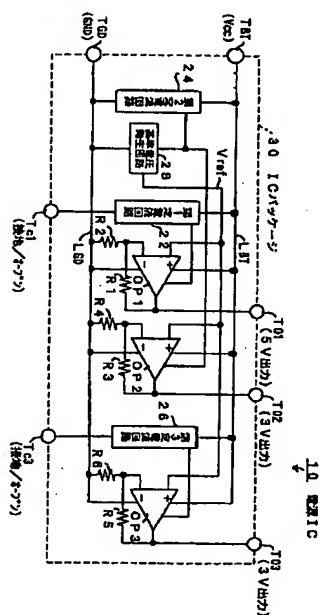
10…電源IC (多出力電源装置) 12…バッテリ
OP1, OP2, OP3…オペアンプ回路 28…基
準電圧発生回路

2 2 2...第1定電流回路
2 4...第2定電流回路
6...第3定電流回路

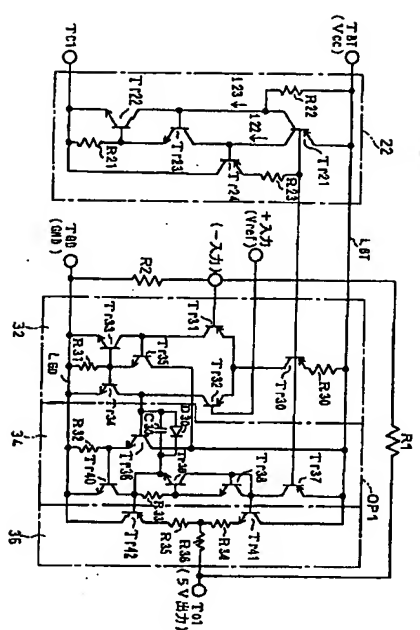
30... ICパッケージ T01, T02, T03...出力端子
TBT...パッドリ端子 TGD...グランド端子



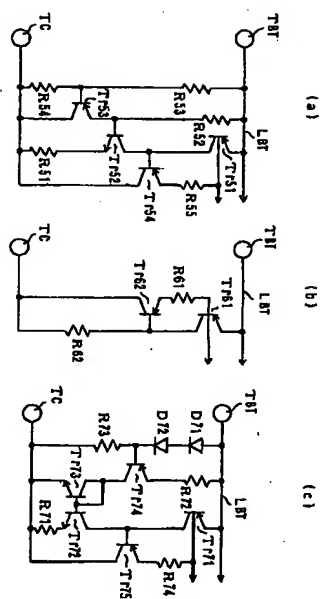
【図1】



【図2】



【圖 3】



【図4】

